

DERWENT-ACC-NO: 2002-736744
DERWENT-WEEK: 200280
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device manufacturing method e.g. for metal oxide semiconductor transistors, involves plasma etching polysilicon and tungsten silicide layers using silicon oxide film as mask

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 2001JP-0061444 (March 6, 2001)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2002261267	September 13, 2002	N/A	006	H01L 029/43
A				

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2002261267A	N/A	2001JP-0061444	March 6, 2001

INT-CL (IPC): H01L021/28; H01L021/3065 ; H01L021/3205 ; H01L021/3213 ; H01L029/43 ; H01L029/78

ABSTRACTED-PUB-NO: JP2002261267A

BASIC-ABSTRACT: NOVELTY - A silicon nitride film (5) is selectively formed on the polysilicon layer (3) and tungsten silicide layer (4), which are formed sequentially on semiconductor substrate (1) through a gate oxide film (2). A silicon oxide film (6) formed on the nitride film acts as a mask during plasma etching of the layers (3, 4). The oxide layer is removed after completion of etching.

USE - For manufacturing semiconductor device e.g. metal oxide semiconductor (MOS) transistors.

ADVANTAGE - Provides fine gate electrode by suppressing variation of tolerance and shape difference.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional drawing explaining semiconductor device manufacturing. (Drawing includes non-English language text).

Semiconductor substrate 1

Gate oxide film 2

Polysilicon layer 3

Tungsten silicide layer 4

Silicon nitride film 5

Silicon oxide film 6

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS:

SEMICONDUCTOR DEVICE MANUFACTURE METHOD METAL OXIDE
SEMICONDUCTOR TRANSISTOR

PLASMA ETCH TUNGSTEN SILICIDE LAYER SILICON OXIDE FILM MASK

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C06A; L04-C07D; L04-C10B; L04-C10F; L04-C12A; L04-C12B;
L04-E01B;

EPI-CODES: U11-C04D; U11-C05F1; U11-C07A1; U11-C07C1; U11-C18A3;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2002-208726

Non-CPI Secondary Accession Numbers: N2002-581030

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2002-261267

(P2002-261267A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51) Int. Cl.

識別記号

F I

テームト (参考)

H 0 1 L 29/43

H 0 1 L 21/28

F 4 M 1 0 4

21/28

3 0 1 D 5 F 0 0 4

3 0 1

29/62

G 5 F 0 3 3

21/3065

21/302

N 5 F 1 4 0

21/3213

21/88

D

審査請求 未請求 請求項の数 4 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願2001-61444 (P2001-61444)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22) 出願日

平成13年3月6日 (2001.3.6)

(72) 発明者 金高 秀海

三重県四日市市山之一色町800番地 株式
会社東芝四日市工場内

(74) 代理人 100083161

弁理士 外川 英明

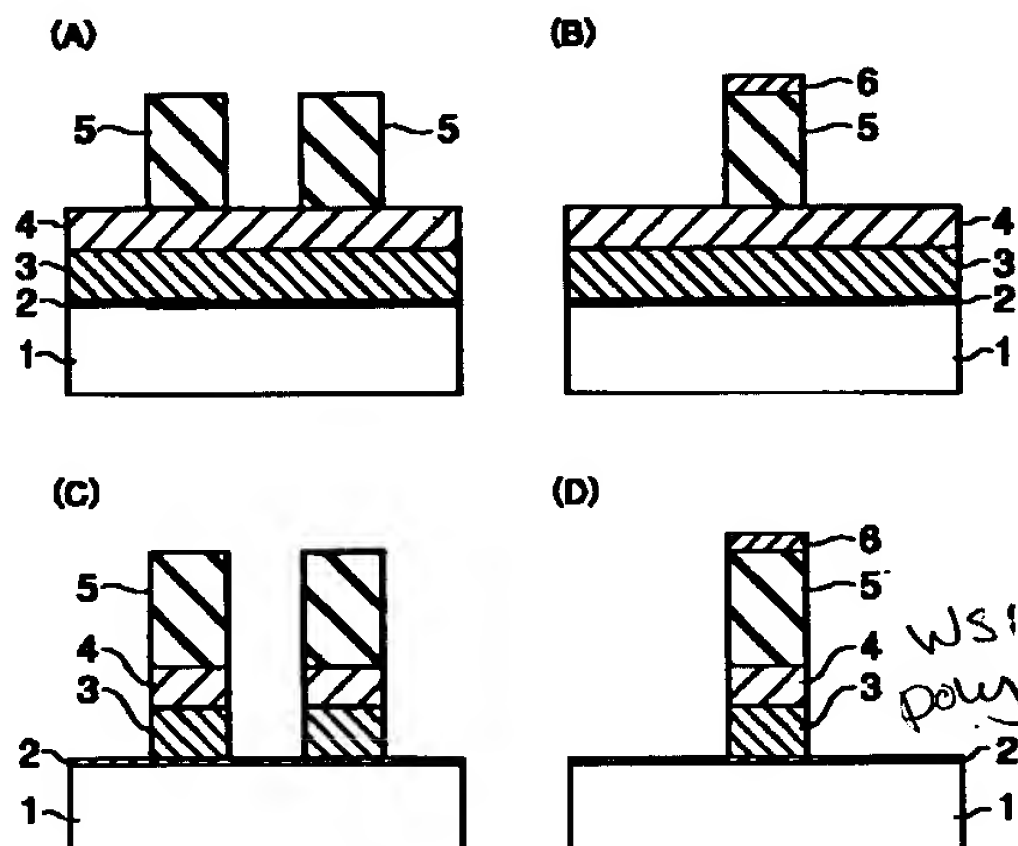
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 電極パターンの疎密の程度に関わらず、寸法差や形状差を抑制して微細なゲート電極を備えた半導体装置の製造方法を提供する。

【解決手段】 半導体基板1上に絶縁層2を形成する工程と、この絶縁層上に導電層3、4を形成する工程と、この導電層上にシリコン窒化膜5を形成する工程と、このシリコン窒化膜を第1の領域においては第1の距離を隔てて残し、第2の領域においては第1の距離よりも長い第2の距離を隔てて残すように除去する工程と、第2の領域に残されたシリコン窒化膜上にシリコン酸化膜6を形成する工程と、第1の領域においては、残されたシリコン窒化膜をマスクとして導電層をプラズマエッチングにて除去し、第2の領域においては、シリコン酸化膜をマスクとして導電層をプラズマエッチングにて除去する工程とを有する半導体装置の製造方法である。



1 半導体基板
2 ゲート酸化膜
3 ポリシリコン層
4 タングステンシリサイド層

5 シリコン窒化膜
6 シリコン酸化膜

【特許請求の範囲】

【請求項1】半導体基板上に絶縁層を形成する工程と、この絶縁層上に導電層を形成する工程と、この導電層上にシリコン窒化膜を形成する工程と、このシリコン窒化膜を第1の領域においては第1の距離を隔てて残し、第2の領域においては第1の距離よりも長い第2の距離を隔てて残すように除去する工程と、前記第2の領域に残されたシリコン窒化膜上にシリコン酸化膜を形成する工程と、前記第1の領域においては、残された前記シリコン窒化膜をマスクとして前記導電層をプラズマエッチングにて除去し、前記第2の領域においては、前記シリコン酸化膜をマスクとして前記導電層をプラズマエッチングにて除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第2の領域にシリコン酸化膜を形成する工程において形成されるシリコン酸化膜の厚さは、前記導電層を除去する工程の後に、シリコン酸化膜が残存するに必要な厚さを有するように形成されていることを特徴とする請求項1項記載の半導体装置の製造方法。

【請求項3】 前記導電層は、ポリシリコン単層構造、上層にタングステンシリサイド層、下層にポリシリコン層の積層構造、又は上層にタングステン層、下層にポリシリコン層の積層構造のいずれかひとつから構成されていることを特徴とする請求項1又は2いずれか1項記載の半導体装置の製造方法。

【請求項4】 前記第1の領域はメモリ部であり、前記第2の領域は論理部であることを特徴とする請求項1乃至3いずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線層の製造方法に関し、特に微細なゲート電極に使用される配線層を備えた半導体装置の製造方法に関するものである。

【0002】

【従来の技術】MOSトランジスタを有する半導体装置の製造方法において、単一種類のマスク材を使用したゲート電極のエッチング方法を図2及び図3を用いて説明する。

【0003】図2(A)に示されるゲート電極のエッチング後の製造工程では、密なゲート電極パターンの領域が示されている。ここでは、半導体基板50上に、シリコン酸化膜51が形成されている。このシリコン酸化膜上のゲート電極形成領域にはポリシリコン層52、タングステンシリサイド層53が形成されていて、これらの周囲にはエッチング後に付着したアンモニウム塩などの反応生成物からなるゲート側壁保護膜54が形成されている。このゲート電極を形成する工程では、ゲート電極形成領域上にのみ形成されたシリコン窒化膜55からなるマスク材が使用されて、ポリシリコン層52、タング

ステンシリサイド層53が所望のゲート電極形状にプラズマエッチングされている。

【0004】図2(B)に示されるゲート電極のエッチング後の製造工程では、疎なゲート電極パターンの領域が示されている。ここでは、半導体基板50上に、シリコン酸化膜51が形成されている。このシリコン酸化膜上のゲート電極形成領域にはポリシリコン層52、タングステンシリサイド層53が形成されていて、これらの周囲にはエッチング後に付着したアンモニウム塩などの反応生成物からなるゲート側壁保護膜54が形成されている。ここで、ポリシリコン層52、タングステンシリサイド層53はその幅が、下方ほど大きくなって、断面は台形状に形成されている。このゲート電極を形成する工程では、ゲート電極形成領域上にのみ形成されたシリコン窒化膜55からなるマスク材が使用されて、ポリシリコン層52、タングステンシリサイド層53が所望のゲート電極形状とはならずプラズマエッチングされている。

【0005】ここで、マスク材としてシリコン窒化膜55を用いた場合、シリコン窒化膜55から供給される窒素とプラズマ中の物質とが結合し、アンモニウム塩、ハロゲン化シリコンやこれらの高分子体等の反応生成物が生成される。この反応生成物は、被エッチング材の表面に付着する。

【0006】ただし、被エッチング材の表面は常にイオンや中性活性種(ラジカル)56にエッチングされるので、付着した反応生成物は再度、エッチングされる。そのため、比較的にエッチングが進行しにくい疎パターン領域のゲート側面には、反応生成物が付着する速度が再度エッチングされる速度よりも速いため、ゲート側面に薄膜状態の側壁保護膜54が形成される。

【0007】エッチングの際に使用するプラズマ中では、複雑な反応が起こり、そのうち、アンモニウム塩($(\text{NH}_4)_x\text{SiBr}_y$ ここで、 x 、 y は実数)が窒素と結合して反応生成物を顕著に発生させる。このうちアンモニウム塩はハロゲン化シリコンに比べ揮発しにくく、排気されずに側壁に付着し易い強固な側壁保護膜54を形成しやすい。

【0008】ガス分子や原子にエネルギーを加えると、電子が解離してイオン化が生じる。また、励起状態の分子、原子が生成される。ここで、気体プラズマでは、電離度が低いため、すべてがイオン化されずにイオン化できなかったものが励起状態で存在することになる。これが中性活性種56となる。

【0009】ここで、半導体装置においては、形成されている配線の幅、スペースの幅の比率が例えば、1対4程度以上の場合である論理部が、疎パターンであり、密パターンはそれ以下の場合であるメモリに相当する。

【0010】密パターン領域では、アンモニウム塩が存在するために、反応生成物がゲート電極側壁に付着する

速度と、中性活性種56がゲート電極側壁をエッチングする速度が同一速度になり、垂直に加工することができる。

【0011】ここで、アンモニウム塩が生成されるキーとなるのは、窒素原子であるが、エッチングガスとしては窒素は使用しない。そのため、マスク材がエッチングされることによってマスク材に含まれる窒素が供給される。

【0012】これに対して、疎パターン領域では被エッチング膜の面積が、密パターン領域のそれよりも大きいことから、反応生成物の付着速度も疎パターンの方が多くなり、ゲート電極側壁をエッチングする速度よりも大きくなる。半導体集積回路の高集積・微細化に伴い、より小さな面積に、より高密度で素子を形成することが必要になっているが、ゲートの疎密形状差や疎密寸法差はゲート特性にばらつきを与え、半導体装置に必要な特性に悪影響を及ぼす場合がある。

【0013】これにより疎パターン領域ではゲート電極形状が順テーパとなり、疎密形状差に加え疎密寸法差を生ずることになる。例えば、疎パターン領域では、その配線幅がエッチングの前後で約10%増加する。

【0014】ここで、疎密形状差はゲート電極の形状が垂直な側面とならずにテーパや逆テーパがついたりつかなかったりする疎パターン領域と密パターン領域での形状の差異を指す。

【0015】また、疎密寸法差は、ゲート電極において、ゲート酸化膜1とポリシリコン2の境界での配線幅の疎パターン領域と密パターン領域とにおけるそれぞれの差異を指す。

【0016】一方で、図3に示すようなマスク材がシリコン酸化膜の場合、マスク材から窒素が供給されず、反応生成物がゲート電極側壁に付着する速度は減少する。

【0017】ここで、図3(A)に示されるゲート電極のエッチング後の製造工程では、密なゲート電極パターンの領域が示されている。ここでは、半導体基板50上に、シリコン酸化膜51が形成されている。このシリコン酸化膜上のゲート電極形成領域にはポリシリコン層52、タングステンシリサイド層53が形成されていて、これらの周囲には凹部が形成され、この凹部中にエッチング後に付着した反応生成物からなるゲート側壁保護膜57が形成されている。このゲート電極を形成する工程では、ゲート電極形成領域上にのみ形成されたシリコン酸化膜58からなるマスク材が使用されて、ポリシリコン層52、タングステンシリサイド層53が所望のゲート電極形状にプラズマエッチングされている。

【0018】図3(B)に示されるゲート電極のエッチング後の製造工程では、疎なゲート電極パターンの領域が示されている。ここでは、半導体基板50上に、シリコン酸化膜51が形成されている。このシリコン酸化膜上のゲート電極形成領域にはポリシリコン層52、タン

グステンシリサイド層53が形成されていて、これらの周囲にはエッチング後に付着した反応生成物からなるゲート側壁保護膜59が形成されている。このゲート電極を形成する工程では、ゲート電極形成領域上にのみ形成されたシリコン酸化膜58からなるマスク材が使用されて、ポリシリコン層52、タングステンシリサイド層53が所望のゲート電極形状にプラズマエッチングされている。

【0019】すなわち、図3(A)に示される密パターン領域では、ポリシリコン層52とタングステンシリサイド層53の境界付近の側面が窪んだ形状となる。このように、密パターン領域ではゲート電極側壁をエッチングする速度の方が大きくなるため、逆テーパもしくは幅が細くなってしまうが、疎パターン領域では、ゲート電極側壁に対し、反応生成物が付着する速度とエッチングする速度が一致するため、垂直に加工することができる。これによりマスク材がシリコン窒化膜のときと同様に、疎密形状差、疎密寸法差を生じることになる。

【0020】なお、特開平11-251536号公報の図1乃至図3などには、密なパターンにおいて、ノボラック樹脂及びシリコン酸化膜をレジストに用い、疎なパターンにおいて、アセタール系及びBOC系の保護基が付加されたポリハイドロキシルシレンのレジストを用いてゲート電極をパターンニングして、疎なパターンにおいて、パターンが太くなることを見越して、疎パターンのレジストをあらかじめ細くして、高精度な半導体装置を形成する製造方法が記載されている。

【0021】

【発明が解決しようとする課題】半導体デバイスの微細化に伴い、ゲート電極における疎密形状差、および疎密寸法差を極力抑え込む技術が求められるが、従来の単一種類のマスク材料では、圧力、反応ガスの種類、流量及び反応性イオンのエネルギー量等を変更する方法だけでは、疎密形状差、疎密寸法差を抑え込むことは難しい。

【0022】さらに疎密パターンに応じて、レジストを使い分ける特開平11-251536号公報記載の技術でも、疎密形状差を押さえ込むことは困難である。

【0023】本発明の目的は以上のような従来技術の課題を解決することにある。

【0024】特に、本発明の目的は、電極パターンの疎密の程度に関わらず、寸法差や形状差を抑制して微細なゲート電極を備えた半導体装置の製造方法を提供することである。

【0025】

【課題を解決するための手段】上記目的を達成するために、本発明の特徴は、半導体基板上に絶縁層を形成する工程と、この絶縁層上に導電層を形成する工程と、この導電層上にシリコン窒化膜を形成する工程と、このシリコン窒化膜を第1の領域においては第1の距離を隔てて残し、第2の領域においては第1の距離よりも長い第2

の距離を隔てて残すように除去する工程と、前記第2の領域に残されたシリコン窒化膜上にシリコン酸化膜を形成する工程と、前記第1の領域においては、残されたシリコン窒化膜をマスクとして前記導電層をプラズマエッチングにて除去し、前記第2の領域においては、前記シリコン酸化膜をマスクとして前記導電層をプラズマエッチングにて除去する工程とを有する半導体装置の製造方法である。

【0026】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は、現実のものとは異なる。従って、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

【0027】(第1の実施の形態)本実施の形態の半導体装置の製造方法を図1を用いて説明する。

【0028】図1(A)、(B)に示されるように半導体ウエハに設けられた半導体装置形成領域中の半導体基板1上に、ゲート酸化膜2を形成する。次に、このゲート酸化膜2上にポリシリコン層3を形成する。次にこのポリシリコン層3の上にタングステンシリサイド層4を形成する。

【0029】次に、タングステンシリサイド層4の全面にシリコン窒化膜5を形成する。次に、シリコン窒化膜5全面にシリコン酸化膜6を形成する。

【0030】次に、図1(A)に示されるように、疎パターン領域のみをレジスト(図示せず)で覆い、密パターン領域のシリコン酸化膜6のみを、ドライエッチングもしくはウェットエッチングで除去し、フォトリソグラフィ法により、ゲート電極が形成される領域の真上のみにシリコン窒化膜5を残すようにドライエッチングを行い、他の部分では、タングステンシリサイド層4の上表面を露出させる。

【0031】次に、図1(B)に示されるようにレジストを除去し、疎パターン領域では、フォトリソグラフィ法により、ゲート電極が形成される領域の真上のみにシリコン酸化膜6及びシリコン窒化膜5を残すようにドライエッチングを行い、他の部分では、タングステンシリサイド層4の上表面を露出させる。

【0032】これにより図1(A)に示された密パターン領域ではシリコン窒化膜5が、図1(B)に示された疎パターン領域ではシリコン酸化膜6及びシリコン窒化膜5がマスク材として機能する。

【0033】ここで、マスク材としてのシリコン酸化膜6は膜厚が50nm以上あることが必要である。すなわち、シリコン酸化膜6の厚さが導電層を除去する工程に

において、シリコン酸化膜6が残されるに十分な厚さを有するように疎パターンの領域にシリコン酸化膜6を形成する工程において、シリコン酸化膜6が形成されていることが好ましい。

【0034】ここで、半導体装置においては、形成されている配線の幅、スペースの幅の比率が疎パターンで形成されている領域は論理部であり、密パターンで形成されている領域はメモリ部に相当する。

【0035】次に、図1(C)に示されるように密パターン領域では、リソグラフィ法により、シリコン窒化膜5をマスクとして、ポリシリコン層3及びタングステンシリサイド層4を除去して、シリコン窒化膜5下のみにポリシリコン層3及びタングステン層4からなるゲート電極を形成する。

【0036】次に、図1(D)に示されるように疎パターン領域では、リソグラフィ法により、シリコン酸化膜6及びシリコン窒化膜5をマスクとして、ポリシリコン層3及びタングステンシリサイド層4を除去して、シリコン酸化膜6及びシリコン窒化膜5下のみにポリシリコン層3及びタングステン層4からなるゲート電極を形成する。

【0037】すなわち、このゲート電極は、タングステンシリサイド層4及びポリシリコン層3を有し、マスク材として密パターンではシリコン窒化膜5の単層膜を、疎パターンではシリコン窒化膜5、シリコン酸化膜6の積層膜を有している。

【0038】なお、ゲート電極を構成する導電層は、ポリシリコン単層構造で形成することができる。また、ゲート電極は上層にタングステンシリサイド層、下層にポリシリコン層の積層構造でも形成できる。又はゲート電極は上層にタングステン層、下層にポリシリコン層の積層構造としても形成できる。

【0039】図1(A)に示した半導体装置では、タングステンシリサイド層4とポリシリコン層3をエッチングすると、密パターン領域ではシリコン窒化膜5がマスク材として機能するため、窒素が供給され、これと結合したアンモニウム塩およびハロゲン化シリコン等が反応生成物となる。

【0040】一方、図1(B)に示した半導体装置では、疎パターン領域ではシリコン酸化膜6がマスク材として機能するため、アンモニウム塩は存在せず、ハロゲン化シリコン等が反応生成物となる。

【0041】密パターン領域では、シリコン窒化膜5がマスク材として機能したときの特性から、ゲート電極側壁に対し、反応生成物の付着速度が中性活性種のエッチング速度と均衡が取れるようになり、ゲート電極は垂直に形成される。

【0042】一方、疎パターン領域では、シリコン酸化膜6がマスク材として機能したときの特性から、窒素の供給がないため、反応生成物の付着速度は遅くなり、エ

ッチング速度と均衡が取れるようになる。

【0043】以上の結果より、密パターン領域では垂直に加工できるマスク材としてシリコン窒化膜を、疎パターン領域では垂直に加工できるシリコン酸化膜を選択的に形成することにより、従来技術では不可能であった疎密形状差、疎密寸法差を抑えて微細なトランジスタのゲートを得ることができる。

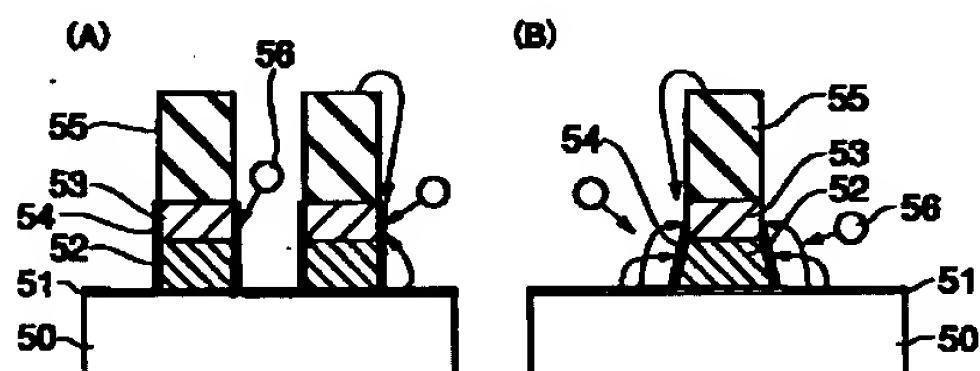
【0044】尚、本実施の形態ではゲート電極としてタングステンシリサイドとポリシリコンの積層膜を使用しているが、他にもタングステンとポリシリコンの積層膜や、ポリシリコン単層膜のいずれかをを用いても形成することができる。

【0045】図1 (C)、(D) に示した工程の後に、ゲート電極形成マスクであるシリコン窒化膜5及びシリコン酸化膜6をすべて除去して、ゲート電極を形成する。その後、ゲートをマスクとして半導体基板中に不純物を注入してソース、ドレイン領域を形成し、ソース、ドレイン領域への接続電極を形成してMOSトランジスタを形成する。なお、ゲート電極形成前に半導体基板中に不純物注入を行い、ウェルを形成してもよい。さらに、ゲート電極側壁を形成し、ゲート電極側壁をマスクとして低濃度不純物領域を半導体基板中に注入して、LDD領域を形成してもよい。

【0046】本実施の形態は、ウエハ面内における疎パターンに対してはマスク材としてシリコン酸化膜を、密パターンに対してはシリコン窒化膜を選択的に使用することで、シリサイド等によって形成されたゲート電極の疎密形状差、疎密寸法差を抑制する半導体装置の製造方法を提供することができる。

【0047】本発明はDRAMなどの揮発性半導体記憶装置、不揮発性半導体記憶装置、論理LSI、又はメモリ混載論理LSIなど大規模集積回路を有する半導体装置の製造方法において適用される。

【図2】



【0048】

【発明の効果】本発明によれば、電極パターンの疎密の程度に関わらず、寸法差や形状差を抑制して微細なゲート電極を備えた半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】 (A) は本発明の第1の実施の形態における半導体装置の製造方法の密パターン領域における一工程を示す断面図であり、(B) は本発明の第1の実施の形態における半導体装置の製造方法の疎パターン領域における一工程を示す断面図であり、(C) は本発明の第1の実施の形態における半導体装置の製造方法の密パターンにおける一工程を示す断面図であり、(D) は本発明の第1の実施の形態における半導体装置の製造方法の疎パターンにおける一工程を示す断面図である。

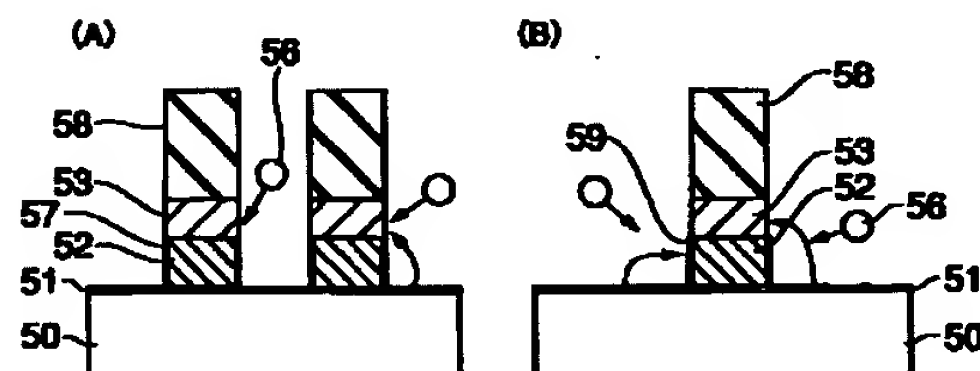
【図2】 (A) はマスク材としてシリコン窒化膜を用いた従来の半導体装置の製造方法の密パターンにおける一工程を示す断面図であり、(B) はマスク材としてシリコン窒化膜を用いた従来の半導体装置の製造方法の疎パターンにおける一工程を示す断面図である。

【図3】 (A) はマスク材としてシリコン酸化膜を用いた従来の半導体装置の製造方法の密パターンにおける一工程を示す断面図であり、(B) はマスク材としてシリコン酸化膜を用いた従来の半導体装置の製造方法の疎パターンにおける一工程を示す断面図である。

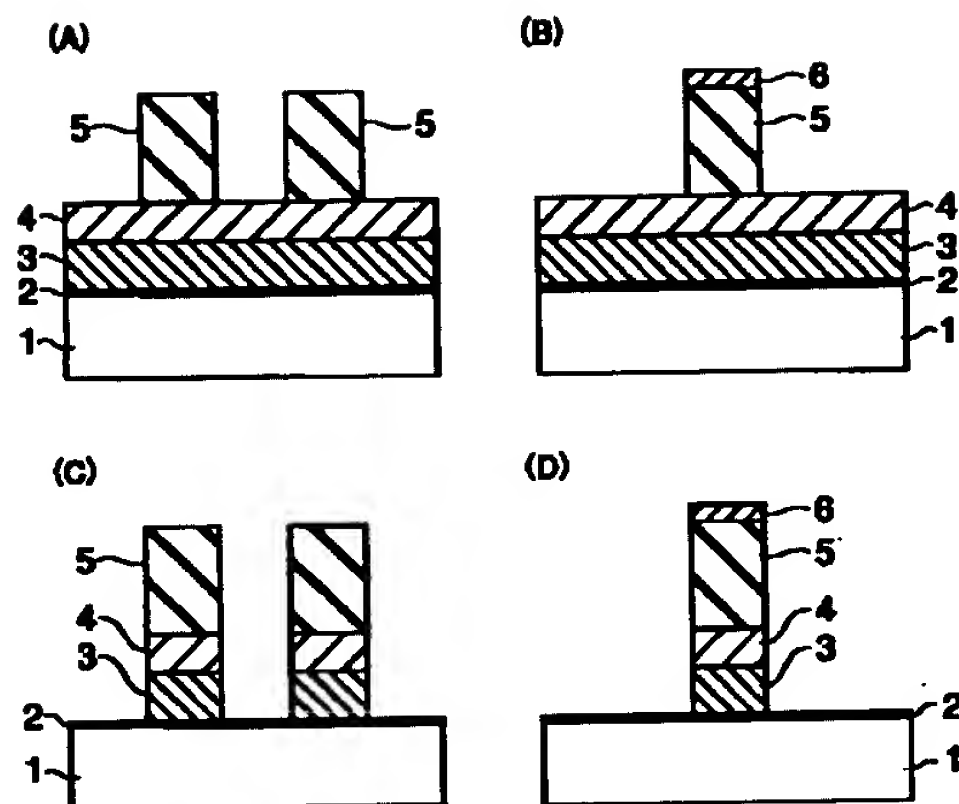
【符号の説明】

- 1 半導体基板
- 2 ゲート酸化膜
- 3 ポリシリコン層
- 4 タングステンシリサイド層
- 5 シリコン窒化膜
- 6 シリコン酸化膜

【図3】



【図1】



1 半導体基板
2 ゲート酸化膜
3 ポリシリコン膜
4 タングステンシリサイド膜

5 シリコン酸化膜
6 シリコン窒化膜

フロントページの続き

(51)Int. Cl.⁷

H01L 21/3205
29/78

識別記号

F I

H01L 21/88
29/78

テーマコード(参考)

Q
301G

Fターム(参考) 4M104 AA01 BB01 CC05 DD04 DD64
DD65 DD66 DD71 EE05 EE14
EE17 FF13 FF14 GG09 GG10
GG14 GG16 HH14
5F004 AA01 AA04 DB02 DB17 EA06
EA07 EA13 EB02
5F033 HH04 HH19 HH28 MM07 QQ08
QQ09 QQ10 QQ11 QQ16 QQ19
QQ28 QQ58 QQ65 RR04 RR06
TT02 TT08 VV06 VV16 XX03
5F140 AA39 BF04 BF11 BF18 BG08
BG39 BH15